

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 10-170950

(43)Date of publication of application : 26.06.1998

(51)Int.Cl.

G02F 1/136

(21)Application number : 08-329636

(71)Applicant : TOSHIBA CORP

(22)Date of filing : 10.12.1996

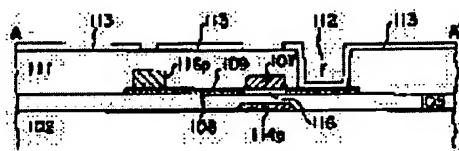
(72)Inventor : SHIMANO TAKUYA

## (54) ACTIVE MATRIX TYPE LIQUID CRYSTAL DISPLAY DEVICE AND ITS PRODUCTION

## (57)Abstract:

**PROBLEM TO BE SOLVED:** To improve the pixel numerical aperture and display quality, and to lower the electric power consumption without increasing the number of production stages, by making the source regions of thin-film transistors(TFTs) to be connected to pixel electrode a metallic reaction layer (silicide) having conductivity and light transparency.

**SOLUTION:** The metallic reaction layer (silicide) 109 resulted by the combination reaction of the part near the surface of a low-resistance semiconductor layer 108 and the metals of a metallic layer consisting of high melting metal materials or their alloys is formed on the lower-resistance semiconductor layer 108. Signal lines 116 and drain electrodes 116p are formed simultaneously with or after the formation of the metallic reaction layer 109. At this time, source regions and drain regions are formed in the low-resistance semiconductor layer 108, by which the TFTs are constituted. The metallic reaction layer (silicide) layer 109 is formed by the combination reaction of the part near the surface of the low-resistance semiconductor layer 108 and the metals of the metallic layer and, therefore, the lower-resistance semiconductor layer 108 and the metallic reaction layer 109 have the sufficient conductivity and light-transmittance.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision]

of rejection]

[Date of requesting appeal against examiner's  
decision of rejection]

[Date of extinction of right]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平10-170950

(43) 公開日 平成10年(1998)6月26日

(51) Int.Cl.<sup>8</sup>

G 0 2 F 1/136

識別記号

5 0 0

F I

G 0 2 F 1/136

5 0 0

審査請求 未請求 請求項の数9 O L (全 8 頁)

(21) 出願番号 特願平8-329636

(22) 出願日 平成8年(1996)12月10日

(71) 出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(72) 発明者 島 野 卓 也

兵庫県姫路市余部区上余部50 株式会社東

芝姫路工場内

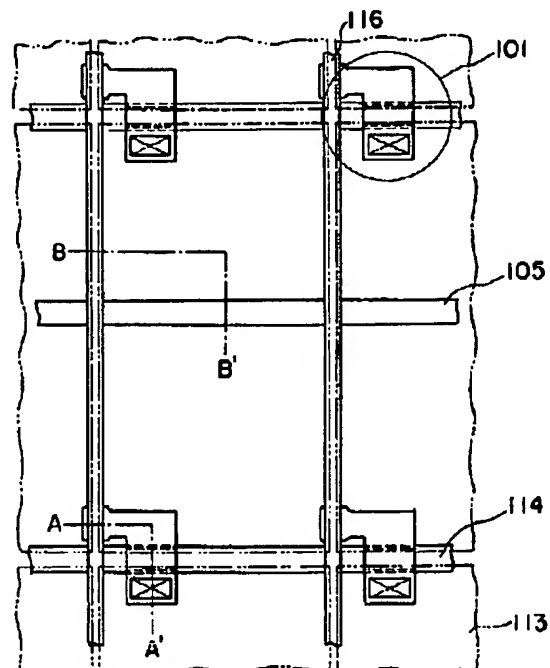
(74) 代理人 弁理士 佐藤 一雄 (外3名)

(54) 【発明の名称】 アクティブマトリクス型液晶表示装置及びその製造方法

(57) 【要約】

【課題】 製造工程数を増加させることなく、画素開口率が高く、高表示品質で、低消費電力のアクティブマトリクス型液晶表示装置及びその製造方法を提供する。

【解決手段】 本発明に係るアクティブマトリクス型液晶表示装置においては、画素電極に接続されるTFTのソース領域を、導電性及び光透過性を有する金属反応層(シリサイド)とし、その製造方法は、従来の製造方法と比較して実質的に製造工程数の増加がないものである。



## 【特許請求の範囲】

## 【請求項1】第1の絶縁基板と、

前記第1の絶縁基板の一主面上に、相互に交差するように形成された複数本の走査線及び複数の信号線と、  
前記走査線と前記信号線との各交差部にそれぞれ配設され、ソース電極部がシリサイドからなる薄膜トランジスタと、  
前記走査線及び前記信号線と絶縁され、かつ、前記薄膜トランジスタの前記ソース電極部に電氣的に接続されて形成された画素電極とを有するアレイ基板と、  
前記アレイ基板に対向する第2の絶縁基板である対向基板とを備えたことを特徴とするアクティブマトリクス型液晶表示装置。

## 【請求項2】第1の絶縁基板と、

前記第1の絶縁基板の一主面上に、相互に交差するように形成された複数本の走査線及び複数の信号線と、  
前記走査線と前記信号線との各交差部にそれぞれ配設され、ソース電極部が表面近傍部分に金属反応層を形成された半導体層からなる薄膜トランジスタと、  
前記走査線及び前記信号線と絶縁され、かつ、前記薄膜トランジスタの前記ソース電極部に電氣的に接続されて形成された画素電極とを有するアレイ基板と、  
前記アレイ基板に対向する第2の絶縁基板である対向基板とを備えたことを特徴とするアクティブマトリクス型液晶表示装置。

【請求項3】請求項2に記載のアクティブマトリクス型液晶表示装置において、前記金属反応層は、高融点金属と前記半導体層の表面近傍部分とが化合反応して形成されたものであることを特徴とするアクティブマトリクス型液晶表示装置。

【請求項4】請求項2又は3のいずれかに記載のアクティブマトリクス型液晶表示装置において、前記金属反応層は、前記信号線の材料と同一の材料と前記半導体層の表面近傍部分とが化合反応して形成されたものであることを特徴とするアクティブマトリクス型液晶表示装置。

【請求項5】請求項1乃至4のいずれかに記載のアクティブマトリクス型液晶表示装置において、前記画素電極は、前記走査線及び前記信号線が形成された前記第1の絶縁基板の前記一主面上全面に形成された絶縁膜上に形成されたものであることを特徴とするアクティブマトリクス型液晶表示装置。

【請求項6】アレイ基板となる第1の絶縁基板の一主面上に複数本の走査線及び前記走査線にそれぞれ接続された複数個のゲート電極を形成する第1の工程と、  
前記走査線及び前記ゲート電極が形成された前記第1の絶縁基板の前記一主面上にゲート絶縁膜を形成する第2の工程と、  
前記ゲート絶縁膜上にアモルファスシリコン膜を形成する第3の工程と、  
前記アモルファスシリコン膜上の前記ゲート電極上の部

分に、前記アモルファスシリコン膜の前記ゲート電極上の部分を保護する無機保護膜を形成する第4の工程と、  
前記無機保護膜をマスクとして前記アモルファスシリコン膜にイオン注入を行い、前記アモルファスシリコン膜の前記イオン注入が行われた部分に低抵抗半導体層を形成する第5の工程と、

前記アモルファスシリコン膜及び前記低抵抗半導体層の所定の形状加工を行う第6の工程と、

前記低抵抗半導体層を覆って高融点金属層を形成し、熱処理により前記低抵抗半導体層の表面近傍部分と前記高融点金属層の高融点金属とを化合反応させた後に前記高融点金属層の未反応部分を除去することにより、前記低抵抗半導体層上に金属反応層を形成する第7の工程と、  
前記低抵抗半導体層及び前記金属反応層にソース領域及びドレイン領域を形成する第8の工程と、

前記アモルファスシリコン膜及び前記無機保護膜、前記低抵抗半導体層、前記金属反応層が形成された前記ゲート絶縁膜上に前記走査線と交差する複数本の信号線と、前記信号線にそれぞれ接続された複数個のドレイン電極とを形成する第9の工程と、

前記前記第1の絶縁基板の前記一主面上の各形成物を覆って絶縁膜を形成する第10の工程と、

前記絶縁膜の前記ソース領域上の部分にコンタクトホールを開く第11の工程と、

前記コンタクトホールを介して前記ソース領域に接続されるように、前記絶縁膜上の所定部分に画素電極を形成する第12の工程とを備えたことを特徴とするアクティブマトリクス型液晶表示装置の製造方法。

【請求項7】請求項6に記載のアクティブマトリクス型液晶表示装置の製造方法において、前記高融点金属層は、前記信号線の材料と同一の材料からなるものであることを特徴とするアクティブマトリクス型液晶表示装置。

【請求項8】請求項6又は7のいずれかに記載のアクティブマトリクス型液晶表示装置の製造方法において、前記画素電極は、前記走査線及び前記ゲート電極並びに前記信号線及び前記ドレイン電極による自己整合により、前記絶縁膜上の前記所定部分に形成されるものであることを特徴とするアクティブマトリクス型液晶表示装置。

【請求項9】請求項8に記載のアクティブマトリクス型液晶表示装置の製造方法において、前記画素電極は、前記画素電極となる透明導電膜上に形成されたネガ型感光性レジストを、前記走査線及び前記ゲート電極並びに前記信号線及び前記ドレイン電極による自己整合により前記第1の絶縁基板の他主面側から露光し現像してマスクとして用いることにより、前記絶縁膜上の前記所定部分に形成されるように形状加工されるものであることを特徴とするアクティブマトリクス型液晶表示装置。

## 【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、アクティブマトリクス型液晶表示装置及びその製造方法に係り、特に、薄膜トランジスタ(TFT)を用いた構成のアクティブマトリクス型液晶表示装置及びその製造方法に関する。

【0002】

【従来の技術】従来のアクティブマトリクス型液晶表示装置は、以下のように構成されている。即ち、アクティブマトリクス型液晶表示装置を構成する2枚の絶縁基板のうち的一方であるアレイ基板には、複数本の信号線 $X_i$  ( $i=1, 2, \dots, m$ )と走査線 $Y_j$  ( $j=1, 2, \dots, n$ )とがマトリクス状に形成され、その各交差部に薄膜トランジスタ(TFT)を介して接続された画素電極が配設されている。また、他方の絶縁基板である対向基板には、画素電極に対向するように透明導電膜からなる対向電極と、着色層と、画素電極に対応する所定の開口部を有するブラックマトリクスとが形成されている。これら2枚の絶縁基板は周縁部をシール剤により貼り合わせられ、基板間の空隙に液晶層が挟持されて液晶セルが構成されている。さらに、各信号線 $X_i$ は信号線ドライバ回路に、各走査線 $Y_j$ は走査線ドライバ回路に、対向電極は対向電極ドライバ回路に接続されて液晶表示装置が構成されている。

【0003】図7は、従来のアクティブマトリクス型液晶表示装置を構成するアレイ基板の画素部の一部の概略平面図、図8は、図7の線C-C'に沿ったアレイ基板及び対向基板の概略断面図である。

【0004】TFT501は、アレイ基板となる絶縁基板502上に形成されたゲート電極519p、ゲート絶縁膜505、半導体層506、エッチングストップ層507、オーミックコンタクト層508、ドレイン電極521p及びソース電極511から構成されている。TFT501は信号線521と走査線519との交差部近傍に配設され、ドレイン電極521pは信号線521に、ゲート電極519pは走査線519に、ソース電極511は画素電極509にそれぞれ接続されている。

【0005】また、ゲート絶縁膜505下に形成された補助容量配線520の一部である補助容量電極520pと、ゲート絶縁膜505を介した画素電極509とが重なり合った部分に補助容量が形成されている。補助容量を設ける目的は、ゲート電圧をオフにする際に発生してフリッカや焼き付きの原因となる画素電極電位の変位 $\Delta V_p$ を低減させ、信号書き込み後の画素電極電位の保持特性を向上させるためである。

【0006】TFT501並びに信号線521及び走査線519上には、TFT501の経時変化を抑制する目的で保護膜512が形成されている。そして、これら全体を覆って配向膜513が形成されている。

【0007】一方、対向電極となる絶縁基板514には、開口部となる部分以外の部分にブラックマトリクス515が形成され、その上に着色層516、対向電極5

17、配向膜513が順に形成されている。そして、アレイ基板502と対向基板514との間には、液晶層518が挟持されている。

【0008】以上説明したアクティブマトリクス型液晶表示装置は透過型液晶表示装置であり、通常、ノーマリホワイトモードが採用され、アレイ基板502側にバックライトを設置して照明を行っているため、画素電極509のない部分からの光漏れを防止するために、対向基板514に形成したブラックマトリクス515により遮光を行っている。従って、ブラックマトリクス515が形成されていない部分が開口部となる。

【0009】

【発明が解決しようとする課題】しかしながら、上述のアクティブマトリクス型液晶表示装置には、以下のような問題点があった。

【0010】即ち、画素電極509は、リソグラフィ重ね合わせ精度を考慮して、TFT501を構成するゲート電極519p、半導体層506及びドレイン電極521p、さらに信号線521、走査線519といった配線等から、 $2\mu\text{m}$ 乃至 $4\mu\text{m}$ 内側に離隔して形成されている。また、信号線521と画素電極509とのカップリング容量が大きくなって画素電極509から信号線521に電荷がリークすることによる表示品質の低下を防止するため、特に、信号線521と画素電極509の間は、さらに、数 $\mu\text{m}$ 間隔を広げられて形成されていた。その結果、画素電極509の面積が縮小し、画素開口率が低下していた。

【0011】また、アレイ基板502側からの光漏れを防止するために、対向基板514にブラックマトリクス515を形成して遮光機能を持たせている。ところが、アレイ基板502と対向基板514とを貼り合わせて液晶セルを組み立てる際の位置合わせ精度は $6\mu\text{m}$ 乃至 $10\mu\text{m}$ と、アレイ基板502上のリソグラフィ重ね合わせ精度よりもさらに低いため、アレイ基板502の画素電極509部分以外の部分を十分に遮光するためには、ブラックマトリクス515と画素電極509との重複面積を大きくする必要がある。その結果、画素電極509の面積のうち実際に光が透過する面積の割合は小さくなり、さらに画素開口率が低下していた。

【0012】加えて、TFT501のソース電極511と画素電極509とは、十分なコンタクトを確保するために、重複面積が十分に大きくなるように形成する必要があるが、ソース電極は不透明な金属であるため、開口率が一層低下していた。

【0013】以上の理由から、液晶表示装置の光透過率が低下し、画面輝度が低下していた。従って、画面輝度を向上させるためには、バックライトの光量を増加させる必要があり、その結果、バックライトの消費電力が増大することとなった。

【0014】一方、信号線521と画素電極509と

は、図7及び図8に示されるように、ゲート絶縁膜上において相互に隣接して形成されるため、信号線521と画素電極509との間の短絡により点欠陥として見える表示不良が発生することもある。

【0015】本発明は、上記問題点に鑑みてなされたもので、その目的は、実質的に製造工程数を増加させることなく、画素開口率が高く、高表示品質で、低消費電力のアクティブマトリクス型液晶表示装置及びその製造方法を提供することである。

【0016】

【課題を解決するための手段】本発明に係るアクティブマトリクス型液晶表示装置によれば、第1の絶縁基板と、第1の絶縁基板の一主面上に、相互に交差するように形成された複数本の走査線及び複数の信号線と、走査線と信号線との各交差点にそれぞれ配設され、ソース電極部がシリサイド（表面近傍部分に金属反応層を形成された半導体層）からなる薄膜トランジスタと、走査線及び信号線と絶縁され、かつ、薄膜トランジスタのソース電極部に電気的に接続されて形成された画素電極とを有するアレイ基板と、アレイ基板に対向する第2の絶縁基板である対向基板とを備えたことを特徴とし、画素電極に接続されるTFTのソース領域を、導電性及び光透過性を有する金属反応層（シリサイド）としたので、従来の製造方法と比較して実質的に製造工程数を増加させずに、画素開口率が高く、高表示品質で、低消費電力のアクティブマトリクス型液晶表示装置及びその製造方法を提供することができる。

【0017】また、本発明に係るアクティブマトリクス型液晶表示装置によれば、アレイ基板となる第1の絶縁基板の一主面上に複数本の走査線及び走査線にそれぞれ接続された複数個のゲート電極を形成する第1の工程と、走査線及びゲート電極が形成された第1の絶縁基板の一主面上にゲート絶縁膜を形成する第2の工程と、ゲート絶縁膜上にアモルファスシリコン膜を形成する第3の工程と、アモルファスシリコン膜上のゲート電極上の部分を保護する無機保護膜を形成する第4の工程と、無機保護膜をマスクとしてアモルファスシリコン膜にイオン注入を行い、アモルファスシリコン膜のイオン注入が行われた部分に低抵抗半導体層を形成する第5の工程と、アモルファスシリコン膜及び低抵抗半導体層の所定の形状加工を行う第6の工程と、低抵抗半導体層を覆って高融点金属層を形成し、熱処理により低抵抗半導体層の表面近傍部分と高融点金属層の高融点金属とを化合反応させた後に高融点金属層の未反応部分を除去することにより、低抵抗半導体層上に金属反応層を形成する第7の工程と、低抵抗半導体層及び金属反応層にソース領域及びドレイン領域を形成する第8の工程と、アモルファスシリコン膜及び無機保護膜、低抵抗半導体層、金属反応層が形成されたゲート絶縁膜上に走査線と交差する複数本

の信号線と、信号線にそれぞれ接続された複数個のドレイン電極とを形成する第9の工程と、第1の絶縁基板の一主面上の各形成物を覆って絶縁膜を形成する第10の工程と、絶縁膜のソース領域上の部分にコンタクトホールを開く第11の工程と、コンタクトホールを介してソース領域に接続されるように、絶縁膜上の所定部分に画素電極を形成する第12の工程とを備えたことを特徴とし、画素電極に接続されるTFTのソース領域を、導電性及び光透過性を有する金属反応層（シリサイド）としたので、従来の製造方法と比較して実質的に製造工程数を増加させずに、画素開口率が高く、高表示品質で、低消費電力のアクティブマトリクス型液晶表示装置及びその製造方法を提供することができる。

【0018】

【発明の実施の形態】本発明に係るアクティブマトリクス型液晶表示装置の特徴は、画素電極に接続されるTFTのソース領域を、十分な導電性を確保しながら光透過性のものとした点にあり、その製造方法は、従来の製造方法と比較して実質的に製造工程数の増加がないものである。

【0019】以下、本発明に係るアクティブマトリクス型液晶表示装置及びその製造方法の実施の形態について、図面を参照しながら説明する。

【0020】図1は、本発明に係るアクティブマトリクス型液晶表示装置を構成するアレイ基板の画素部の一部の概略平面図、図2は、図1の線A-A'に沿ったアレイ基板の概略断面図、図3は、図1の線B-B'に沿ったアレイ基板の概略断面図である。尚、対向基板の基本的な構成は、図7及び図8に示した従来のアクティブマトリクス型液晶表示装置における対向基板の構成と同様であるので、図面上の表示及び明細書中の説明は省略する。但し、ブラックマトリクス等の形状は、アレイ基板側の構成に対応して異なる。

【0021】図1及び図2、図3に示した本発明に係るアクティブマトリクス型液晶表示装置のアレイ基板は、以下のような製造方法により以下のように構成されている。絶縁基板102上には、図1に示したように、走査線114及び補助容量配線115が形成されている。これらの配線は、図2において、走査線114に接続されたゲート電極114pとして、図3において、補助容量配線115の一部である補助容量電極115pとして、それぞれ示されている。本実施の形態においては、走査線114及びゲート線114pは、例えば、タンタル（Ta）、モリブデン（Mo）、タングステン（W）、チタン（Ti）、クロム（Cr）、アルミニウム（Al）といった金属材料又はこれらの合金の単層膜若しくは積層膜により形成されている。配線の形状は、配線形成の安定性確保等のため、例えば、エッチング断面を傾斜面とするテーパエッチング技術により形成した形状としても良い。

【0022】また、図2に示したように、走査線114及びゲート電極114p並びに補助容量配線115及び補助容量電極115pを覆って、例えば窒化珪素（窒化シリコン）からなるゲート絶縁膜105、非晶質珪素（アモルファスシリコン）薄膜106、例えば窒化珪素（窒化シリコン）からなる無機保護膜107が、ゲート電極114p上の部分に順次形成されており積層膜を構成している。これらの積層膜の形成には、例えば、プラズマ、常圧、減圧等のCVD法が用いられる。本実施の形態においては、ゲート絶縁膜105、アモルファスシリコン薄膜106、無機保護膜107の膜厚は、それぞれ4000オングストローム、500オングストローム、2000オングストロームとした。尚、ここでは、積層膜の各層は、それぞれ単一材料、単一層としたが、例えば、それぞれが異なる材料からなる積層膜で構成されているものであっても良い。また、符号108で示されている低抵抗半導体層は、当初はアモルファスシリコン薄膜106として形成され、イオン注入された層である。従って、アモルファスシリコン薄膜106は、当初はゲート絶縁膜105上のゲート電極114p上の部分のみならず、TFT101が形成されることとなるゲート絶縁膜105上の部分に形成されていたものである。

【0023】無機保護膜107は、絶縁基板102の背面側から露光する裏面露光技術を用いて、ゲート電極114pにより自己整合的に形状を加工されたものである。ゲート電極114pによる自己整合的の形状加工により、ゲート電極114pと無機保護膜107との非重複領域の面積を最小限に抑制することができる。

【0024】この無機保護膜107をマスクとしてアモルファスシリコン薄膜106に例えばリンイオンを注入したことにより、低抵抗半導体層108が形成されている。本実施の形態においては、リンイオンの注入条件は、加速電圧Viを30kV、ドーズ量を $5 \times 10^{15} / \text{cm}^2$ とした。また、ここではリンイオンのみを選択的に注入したが、例えば、水素イオン等と同時にリンイオンを注入する非質量分離型のイオン注入法を用いても良い。

【0025】イオン注入後、低抵抗半導体層108及びアモルファスシリコン薄膜106の形状加工が行われる。さらに、ゲート絶縁膜105上の少なくとも低抵抗半導体層108上の部分に、例えば、タンタル（Ta）、モリブデン（Mo）、タングステン（W）、チタン（Ti）、クロム（Cr）、アルミニウム（Al）といった高融点金属材料又はこれらの合金からなる金属層を形成し、例えば、200℃の温度で2時間の熱処理を行った後当該金属層の未反応部分を剥離したことにより、低抵抗半導体層108上に、低抵抗半導体層108の表面近傍部分と当該金属層の金属とが化合反応した金属反応層（シリサイド）109が形成されている。信号線116及びドレイン電極116pは、金属反応層10

9の形成と同時に或いは形成後に形成されたものであり、その際、低抵抗半導体層108にソース領域及びドレイン領域も形成されて、TFT101が構成されている。金属反応層（シリサイド）109は、低抵抗半導体層108の表面近傍部分と当該金属層の金属とが化合反応したものであるから、当初はアモルファスシリコン薄膜106として形成されていた層であり、また、アモルファスシリコン薄膜106にイオンドーピングした低抵抗半導体層108よりも低抵抗である。従って、低抵抗半導体層108及び金属反応層109は、十分な導電性及び光透過性を有している。シリサイド109として、例えば、モリブデンシリサイドを低抵抗半導体層108上に形成した場合のシート抵抗は $500 \text{ k}\Omega / \text{m}^2$ 以下と低く、本発明の構成におけるTFT（図1）のオン電流は通常のTFT（図8）と同等程度に得られる。一方、低抵抗半導体層108のみで図1のTFTを構成した場合、低抵抗半導体層108のシート抵抗がモリブデンシリサイドを低抵抗半導体層108上に形成した場合のシート抵抗の値より3桁ほど高いため、充分なオン電流が得られなくなる。

【0026】以上の各形成物を覆って全面に、例えば窒化珪素（窒化シリコン）等の絶縁膜からなる表面保護膜111が形成されており、金属反応層109のソース領域部分上の表面保護膜111には、画素電極113と金属反応層109のソース領域部分とを接続するためのコンタクトホール112が開口されている。透明電極である画素電極113は、後述する方法によって、例えば、酸化錫をドーパした酸化インジウム（ITO）により所定形状に形成され、上記コンタクトホールを通じて金属反応層109のソース領域部分に接続されている。

【0027】図4及び図5は、本発明に係るアクティブマトリクス型液晶表示装置及びその製造方法におけるアレイ基板上の画素電極の形成過程を示した概略断面図である。尚、図4及び図5の概略断面図は、図2及び図3と同様に、アレイ基板の画素部の一部の概略断面を示している。

【0028】図4に示したように、表面保護膜111上にITO膜113を形成後、ITO膜113上に、例えばネガ型感光性レジストをスピンコート等により塗布し、絶縁基板102の背面側から露光する裏面露光技術を用いて、走査線114、ゲート電極114p、補助容量配線115、補助容量電極115p、信号線116、ドレイン電極116pにより自己整合的に上記ネガ型レジストの感光を行い、露光領域117及び非露光領域118を形成する。

【0029】次に、図5に示したように、通常のフォトマスク119を用い、当該フォトマスク119上に形成された所定形状の感光パターンにより、絶縁基板102の表面側から上記ネガ型レジストの感光をさらに行う。一連の露光後、非露光領域118を現像により除去し、

ITO膜113の露出した部分をエッチングして所定形状の画素電極113を形成する。以上の一連の露光・現像により、所定部位に補助容量を形成しながら、画素電極113の形状加工が行われる。従って、画素電極113は、配線領域以外の領域のほぼ全面を覆って形成されている。

【0030】一方、対向基板は以下のように作製される。例えばガラスからなる絶縁基板上に遮光性材料であるクロム(Cr)膜等をスパッタ法で形成した後、所定形状にフォトエッチングすることにより、ブラックマトリクスが格子状に形成される。格子状のブラックマトリクスにより分離された各領域には、赤色(R)、緑色(G)、青色(B)の各顔料が分散された着色層が、それぞれフォトエッチングによって例えば縦ストライプ状に形成される。さらに、ITOからなる対向電極がスパッタ法により全面に形成されると、対向基板が得られる。

【0031】また、液晶表示装置の組立に際しては、上記各形成物が形成されたアレイ基板及び対向基板の一主面上全面に、例えば低温キュア型のポリイミドからなる配向膜がそれぞれ形成され、ラビング処理が施される。その後、アレイ基板と対向基板とを、それぞれの配向膜が相互に対向し、かつ、配向軸が相互に例えば約90度の角度をなすように、配置して貼り合わせ、その間隙に例えばネマティック型液晶を注入して液晶層とする。そして、アレイ基板及び対向基板の他主面側にそれぞれ偏光板を配設すると、液晶表示装置が完成する。表示を行うときは、アレイ基板の他主面側から照明を行う。

【0032】上述のように、本発明に係るアクティブマトリクス型液晶表示装置においては、低抵抗半導体層108及び金属反応層109のソース領域部分と画素電極113とを接続する電極部分が、金属反応層109で覆われた低抵抗半導体層108であり、当該電極部分は、十分な導電性及び光透過性を有しているものであるもので、画素の開口率を低下させずにTFT101の十分なオン電流を確保することが可能となった。

【0033】本実施の形態においては、画素電極の面積が従来の約1.3倍となり、対向基板上のブラックマトリクスにより開口部を設定した場合においても、開口率は約1.3倍に増加した。また、図2及び図3に示したように、信号線116と画素電極113とが表面保護膜111を挟んで異なった層に形成されているので、信号線116と画素電極113との間の短絡が発生することがない。

【0034】本実施の形態に従って作製した液晶表示装置により表示を行ったところ、表面保護膜111の十分な厚さのため信号線116と画素電極113との間のカップリング容量が減少した結果、クロストークが無く均一で、かつ、開口率の増加により明るい表示を得ることができた。

【0035】本実施の形態においては、TFT101を走査線114上に配設して開口率を向上させたが、低抵抗半導体層108及び金属反応層109は十分な導電性及び光透過性を有しているものであるもので、従来の構成のようにTFTのゲート電極を走査線上の領域外まで拡張して形成しても良い。また、表面保護膜111の材料は窒化シリコン(SiNx)としたが、その他の透明な有機材料を用いても良い。

【0036】図6は、本発明の他の実施の形態に係るアクティブマトリクス型液晶表示装置を構成するアレイ基板の画素部の一部の概略平面図である。

【0037】図6のアクティブマトリクス型液晶表示装置においては、走査線402の一部を補助容量電極部402pとして形成し、走査線402及び補助容量電極部402pに、図1の補助容量配線115及び補助容量電極115pの機能を兼備させたので、この構成によりさらに画素の開口率を向上させることができる。

【0038】以上の各実施の形態において、ブラックマトリクスは、対向基板上に形成された格子状のものとしたが、この形態以外のブラックマトリクスを採用することもできる。ブラックマトリクスの他の形態としては、導電性のない黒色材料、例えば、好感度のネガ型感光性樹脂に有機顔料を分散したものや、無機材料を用いて、アレイ基板上に形成されたものとしても良い。この場合、リソグラフィ重ね合わせ精度により開口部が決定されるため、上記各実施の形態よりも開口率を向上させることができる。また、対向基板上のブラックマトリクスとアレイ基板上のブラックマトリクスとを組み合わせて用いる構成としても良い。

【0039】

【発明の効果】本発明に係るアクティブマトリクス型液晶表示装置及びその製造方法によれば、画素電極に接続されるTFTのソース領域を、導電性及び光透過性を有する金属反応層(シリサイド)としたので、従来の製造方法と比較して実質的に製造工程数を増加させずに、画素開口率が高く、高表示品質で、低消費電力のアクティブマトリクス型液晶表示装置及びその製造方法を提供することができる。

【図面の簡単な説明】

【図1】本発明に係るアクティブマトリクス型液晶表示装置を構成するアレイ基板の画素部の一部の概略平面図。

【図2】図1の線A-A'に沿ったアレイ基板の概略断面図。

【図3】図1の線B-B'に沿ったアレイ基板の概略断面図。

【図4】本発明に係るアクティブマトリクス型液晶表示装置及びその製造方法におけるアレイ基板上の画素電極の形成過程を示した概略断面図。

【図5】本発明に係るアクティブマトリクス型液晶表示



装置及びその製造方法におけるアレイ基板上の画素電極の形成過程を示した概略断面図。

【図6】本発明の他の実施の形態に係るアクティブマトリクス型液晶表示装置を構成するアレイ基板の画素部の一部の概略平面図。

【図7】従来のアクティブマトリクス型液晶表示装置を構成するアレイ基板の画素部の一部の概略平面図。

【図8】図7の線C-C'に沿ったアレイ基板及び対向基板の概略断面図。

【符号の説明】

101、401、501 TFT

102、502、514 絶縁基板

105、505 ゲート絶縁膜

106 非晶質珪素（アモルファスシリコン）薄膜

107 無機保護膜

108 低抵抗半導体層

109 金属反応層

111 表面保護膜

112 コンタクトホール

113、405、509 画素電極（ITO膜）

114、402、519 走査線

114p、519p ゲート電極

115、520 補助容量配線

115p、520p 補助容量電極

116、403、521 信号線

116p、521p ドレイン電極

117 露光領域

118 非露光領域

119 フォトマスク

120 マスクパターン

402p 補助容量電極部

506 半導体層

507 エッチングストップパ層

508 オーミックコンタクト層

511 ソース電極

512 保護膜

513 配向膜

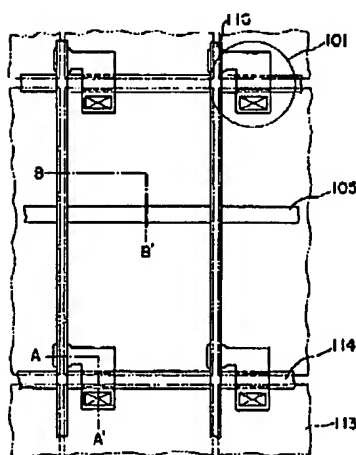
515 ブラックマトリクス

516 着色層

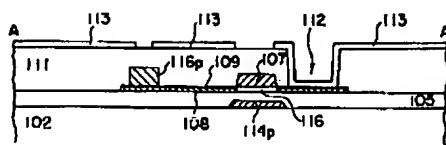
517 対向電極

518 液晶層

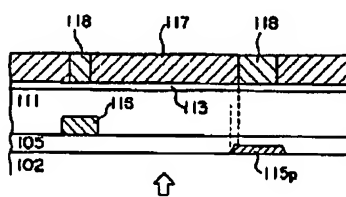
【図1】



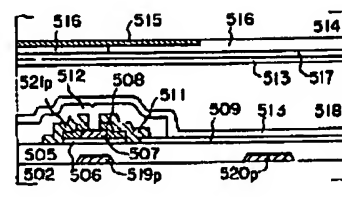
【図2】



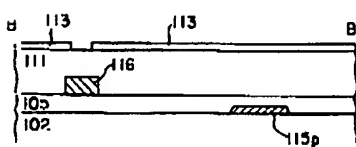
【図4】



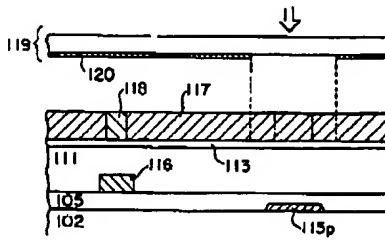
【図8】



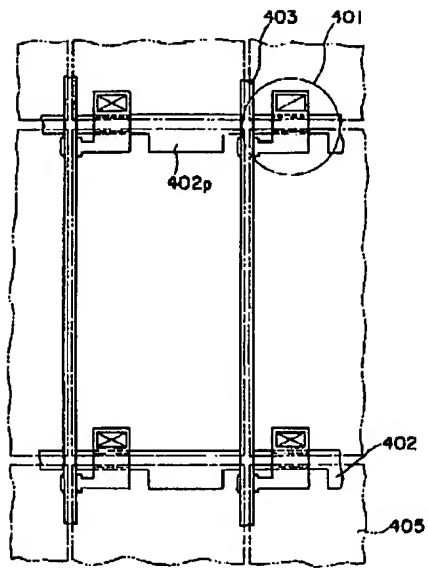
【図3】



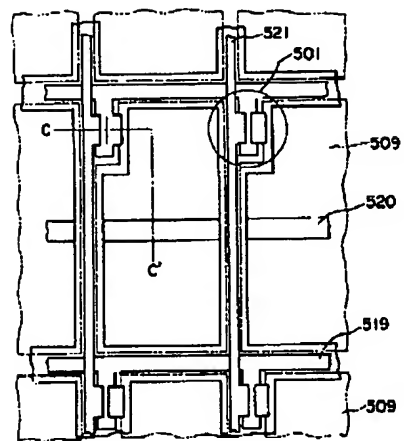
【図5】



【図6】



【図7】



**This Page is Inserted by IFW Indexing and Scanning  
Operations and is not part of the Official Record**

**BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ BLACK BORDERS
- ☐ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- ☐ FADED TEXT OR DRAWING
- ☐ BLURRED OR ILLEGIBLE TEXT OR DRAWING
- ☐ SKEWED/SLANTED IMAGES
- ☒ COLOR OR BLACK AND WHITE PHOTOGRAPHS
- ☐ GRAY SCALE DOCUMENTS
- ☒ LINES OR MARKS ON ORIGINAL DOCUMENT
- ☐ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- ☐ OTHER: \_\_\_\_\_

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.**